



Formation Pratique Conception Altera Quartus II



v2011.04a

<http://www.alse-fr.com>

Objectifs Cette **formation pratique et très dense** de **trois jours** permet de maîtriser rapidement depuis les **connaissances de base** jusqu'aux **techniques avancées, indispensables** à une bonne utilisation des outils de conception Altera et à la **réussite des projets**, même les plus complexes. Elle est alignée sur la dernière version des outils de conception (**Version 9.1**).

Pré-requis Connaissances de base solides en électronique numérique et FPGAs.

Durée/Lieu **Trois (3) jours** soit **21 heures** à Paris-Montparnasse, ou sur site client.

Horaires typiquement 9h30 → 18h00, 9h00 → 18h00, et 9h00 → 17h00, soit **21 heures de cours**.

Prix Formation publique à Paris par stagiaire : **1.690 €uros HT (3 jours)** comprenant la fourniture des supports de cours, fichiers et repas de midi. Ce prix correspond à un règlement direct de l'entreprise. A partir de quatre ou cinq stagiaires, une formation sur site est envisageable.

ALSE est un Organisme de Formation Professionnelle Continue déclaré auprès de la DRTEFP depuis 1996 sous le numéro 26.21.01281.21. Cette formation peut donc être prise en charge dans ce cadre.

Suivez ce lien pour recevoir le dossier d'inscription définitive, ou appelez au +33 (0)1 42 79 51 38.

Programme *

Journée 1

- **Introduction** aux Composants et Outils Altera
Présentation rapide des familles de composants dont les plus récentes, ainsi qu'une revue de l'ensemble des différents outils de conception (dans leurs dernières versions) et du flot général. Support des OS. Roadmap.
- Quartus II et le **Flot de Conception - Partie I**
Interface utilisateur, Environnement, Méthodes d'entrée de données de conception (HDL, Megawizard, Schémas graphiques, Memory Editor...). Base de la gestion de projet : création, organisation des fichiers source, choix du composant, édition HDL, édition de Machine d'Etats, synthèse logique, Intégration des outils tiers.
Exercice pratique complet.
- Quartus II et le **Flot de Conception - Partie II**
Assignations des broches, utilisation de l'éditeur de contraintes, vérification dynamique, Pin Planner, Import/Export CSV, Virtual pins, Placement-Routage, contrôle du Fitter. Téléchargement et programmation de la cible, chaînes JTag FPGA et mixtes, programmation indirecte (JIC). JTag Server & utilisation distante via Ethernet.
Exercice pratique sur maquette.
- **Utilisation avancée de Quartus II**
Bases de données version-compatibles, Archivage intelligent des projets, création et comparaison de Révisions, options d'optimisation, resynthèse wysiwyg, synthèse physique. Analyse par les Netlist Viewers : RTL, Technology, et FSM. Cross-probing, suppression intelligente des messages, Vérification automatique des règles de conception avec le Design Assistant (DRC). Optimization Advisors.
Exercice pratique.
- **Automatisation du flot de Conception** : pour plus de fiabilité et de productivité,
Les tâches du flot peuvent être automatisées et sécurisées par des scripts en ligne de commande ou (mieux) en langage Tcl/Tk : Création automatique de projet, gestion des fichiers, archivage, nettoyage, compilation, création des bitstreams, test des résultats, etc...
Exercice pratique (scripts Tcl) sur maquette.
- **Simulation Fonctionnelle et Timing** (post-layout) avec **ModelSim**.
Introduction rapide à ModelSim AE. Simulation RTL, compilation, scripts automatiques.
Adaptation du Banc de Test au modèle timing rétro-annoté. Génération et compilation du modèle Vital & SDF.
Exercice pratique.
- **Chip Planner**. Concept, utilité, mise en œuvre.
Exercice pratique optionnel.

➤ Journée 2

- **Comprendre et Maîtriser l'Analyse Statique de Timing de Quartus II - Partie I**
Concepts fondamentaux, Création et Gestion des Contraintes, les quatre types d'analyses, les Domaines d'horloges simples et multiples, les PLLs, analyse et interprétations des Rapports Timing détaillés, double Analyse Slow/Fast Corner, Estimation précoce de timing.
Exercice pratique.
- **Optimisation des Timings** – Optimisation à la synthèse, Timing Driven Synthesis, WYSIWIG Resynthesis, Synthèse Physique, Retiming, Register duplication, Options du Fitter.
- **Design Space Explorer.** Concept et utilité.
- **Estimation et Optimisation de Consommation.**
Utilisation de PowerPlay, estimation précoce, estimation affinée par simulation, injection de vecteurs et analyse statistique. Options d'optimisation de la consommation, le conseiller Power Advisor
Exercice pratique optionnel.
- **In-System Memory Content Editor et InSystem Sources & Probes** : des outils simples et tellement utiles !
Concepts, domaines d'applications, Mise en Œuvre.
Exercice pratique : paramétrage dynamique en temps réel d'une application par le port JTag !
- **SignalTap II**
Analyse Temps Réel Embarquée de vos projets. Création des fichiers STP, types de buffers, méthode de stockage, choix des triggers, trigger par machine d'états, visualisation des signaux HDL de type FSM, différents types d'acquisition. Recompilation incrémentale. Power-Up Trigger.
Exercice pratique sur carte : déverminage d'une interface carte à puce (SIM).
- **SignalProbe, Logic Analyzer Interface**
Tirez avantage des outils d'instrumentation (JTag ou autre) pour la mise au point et l'analyse embarquée temps réel de vos projets. Ces outils sont fournis avec Quartus II (pilotage d'analyseurs logiques externes, injection et extraction de signaux). Concepts et Utilités.

➤ Journée 3

- **Le Nouvel Analyseur de Timing : TimeQuest, et les contraintes SDC**
Partie I - Présentation des Nouveaux Concepts et du nouvel Interface Utilisateur.
Le format Synopsys Design Constraint (SDC) : terminologie et syntaxe. Méthodologie d'utilisation de TimeQuest depuis l'interface graphique et à partir des fichiers SDC. Contraindre son design, différences avec le Classic Timing Analyzer. Générer des rapports timings, comprendre et savoir interpréter les rapports issus de TimeQuest. Application pratique aux situations usuelles (Fmax, setup, hold, min/max delays, I/O analysis, PLLs, horloges dérivées et harmoniques avec reconvergence...)
Exercice pratique
- **Partie II – Analyse timing avancée avec TimeQuest**
Concepts avancés, Analyse Recovery-Removal, Contrainte des interfaces Source-Synchrones, chemins Asynchrones et faux chemins, Analyses Core et Latency. Analyse et contrainte des traversées de domaines d'horloges, multiplexage d'horloges, chemins multi-cycles, délais absolus, métastabilité, analyse du jitter.
Exercice pratique
Exercice pratique optionnel
- **Compilation Incrémentale et LogicLock**
Mise en Œuvre de la Compilation incrémentale et de LogicLock pour partitionner (floorplan), améliorer ou fiabiliser les résultats, favoriser le travail collaboratif, et implémenter des flots bottom-up et top-down, particulièrement dans le cas des projets complexes ou difficiles. Utilisation des Virtual Pins.
Exercice Pratique I ou Exercice pratique II au choix
Exercice pratique III optionnel (Logic Lock)
- **Option : Techniques d'Optimisation en ressources logiques (Area) et en fréquence (Timing)**
Tours de main, cas de l'Arithmétique, Resource sharing etc...Utilisation du conseiller.
Identifier et comprendre les chemins critiques, utilisation du conseiller, synthèse physique et options avancées. Méthodes et principes d'amélioration du codage RTL pour surface et vitesse.
Exercice pratique optionnel (optimisation d'une ALU).
Exercice pratique optionnel (optimisation d'un bloc de traitement de signal).

* NB : Contenu et répartition sont fournis à titre indicatif et sont susceptibles d'être modifiés ou adaptés par l'instructeur.